

(1) Japanese Patent Application Laid-Open No. 3-156929 (1991):
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

In order to decrease the dielectric constant of an interlayer dielectric film, a plurality of voids of $0.5\ \mu\text{m}$ in diameter are formed in the interlayer dielectric film.

JCS73 U.S. PRO

09/778104



01/07/01

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平3-156929

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)7月4日
H 01 L 21/3205 6810-5F H 01 L 21/88 K
審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-296820

⑰ 出 願 平1(1989)11月14日

⑱ 発 明 者 國 清 辰 也 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体ウエハの正面側に半導体装置を作成する際、配線間の層間膜の誘電率を下げるために層間膜に空孔を形成する工程と、層間膜をポリシリコンを堆積・酸化して形成する工程と、層間膜に酸素をイオン注入する工程を備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の動作速度を律速する要因の1つである配線間の容量を減少させるのに適した半導体装置の製造方法に関するものである。

〔従来の技術〕

従来の半導体装置の製造方法は各トランスやキャパシタを電気的に接続するために、アルミニウム等の金属により1次的な配線をした後、その上に酸化シリコン等の絶縁物を堆積し、さらに2次

的な配線をする工程がある。この酸化シリコンの様に配線間に堆積される膜を層間膜と言い、配線を立体的に行うことを多層配線と言う。

第4図は従来の多層配線形成工程を示す部分断面図で、図において、(1)はトランジスタ、キャパシタ上に形成された酸化膜、(2)は1次的なアルミニウム配線、(3)は1次的なアルミニウム配線(2)を被覆する酸化膜、(4)はSOG(Spin On Glass)で酸化膜(3)の表面を平坦化するために使われる物質である。(5)は酸化膜、(6)は層間膜、(7)は2次的なアルミニウム配線である。多層配線を形成する工程を第4図に従って説明する。酸化膜(1)の下にはトランジスタやキャパシタ等(図示せず)が存在している。それらを電気的に接続するために、1次的にアルミニウム配線(2)をスパッタ法で堆積する。つぎに、この1次配線をする部分のみアルミニウムを残し、他の箇所のアルミニウムはエッチング液で除去する(第4図(a))。アルミニウム配線(2)間の短絡防止とアルミニウム配線(2)を保護するために、アルミニウム配線(2)上にプラズマC

化膜(5)を構成する SiO_2 の結合を切断し、 SiO_2 は SiO と O に分解する。 SiO は常温では気体であり、空孔(7)から出たあと再び酸化され SiO_2 となり、酸素 O の一部は水素 H と反応して H_2O となる。このようにして形成された空孔(7)には空気が存在するので層間膜(6)の誘電率を下げることができ、同時に配線容量 C も下げられる。図中省略するが、この後、2次のアルミニウム配線(11)をスパッタ装置で形成する時には、空孔(7)の直径が小さいので、アルミニウムが空孔(7)内に入り空孔(7)を埋めてしまうことはない。

次に本発明の他の実施例を第2図に示す。第2図は第1図と同じく層間膜(6)の誘電率 ϵ を下げるための製造工程を示す部分断面図で、第2図(a)から第2図(d)までの工程は、前記従来のものの第4図(a)から第4図(d)までの工程と全く同一であるので説明は省略する。酸化膜(5)の誘電率は3.9であり、層間膜(6)の誘電率を下げるには酸化膜(5)を誘電率が低くしかも絶縁性の物質に代えればよい。そこで、まず粒子の粗いポリシリコン(8)をプラズ

(7)

〔発明の効果〕

以上のように本発明によれば、層間膜に空孔を形成する工程、層間膜(6)をポリシリコンを堆積後、酸化して形成する工程、層間膜(6)に酸素をイオン注入する工程により、層間膜の誘電率を低減し、同時に配線容量を低減したので、動作遅延時間を小さくでき、半導体装置全体の動作の高速化が実現できる。

4. 図面の簡単な説明

第1図(a)～(e)は本発明の一実施例である層間膜の誘電率を下げるための半導体装置の製造工程を示す部分断面図、第2図(a)～(e)、第3図(a)～(e)は本発明の半導体装置の製造工程の他の実施例を示す部分断面図、第4図(a)～(e)は従来の半導体装置の多層配線形成工程を示す部分断面図である。

図中、(1)はトランジスタ、キャパシタ上に形成された酸化膜、(2)は1次のアルミニウム配線、(3)は1次のアルミニウム配線を被覆する酸化膜、(4)はSOG、(5)は酸化膜、(6)は層間膜、(7)は空孔、(8)は粒子の粗いポリシリコン、(9)は粒子の粗い酸化

マCVDで例えば、400℃で膜厚6000Å堆積し(第2図(d))、次に例えば、400℃で酸化することにより、従来のプラズマCVDで堆積させた酸化膜(5)より粒子の粗い酸化膜(9)を形成する(第2図(e))。粒子が粗い酸化膜は粒子が密な酸化膜よりも誘電率が低いので、配線容量 C が低減される。

次に、本発明の更にもう1つの他の実施例を第3図に示す。第3図は第1図と同じく層間膜(6)の誘電率 ϵ を下げるための工程を示す部分断面図である。第3図(a)から第3図(d)までの工程は、前記従来のものの第4図(a)から第4図(d)までの工程と全く同一であるので説明は省略する。誘電率は分子が分極することにより生じ、分極する方向が一致すればするほど誘電率は大きくなる。そこで、誘電率を小さくするには分極の方向性を揃えればよい。イオン注入装置により、酸素イオンを例えば10keVで注入することにより(第3図(e))、 SiO_2 分子の分極の方向性を破壊し、その結果、誘電率は低減され、同時に配線容量 C も低減される。

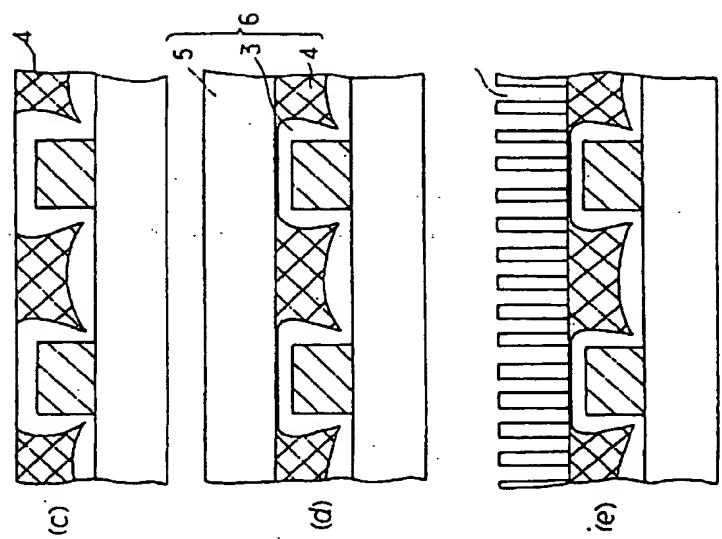
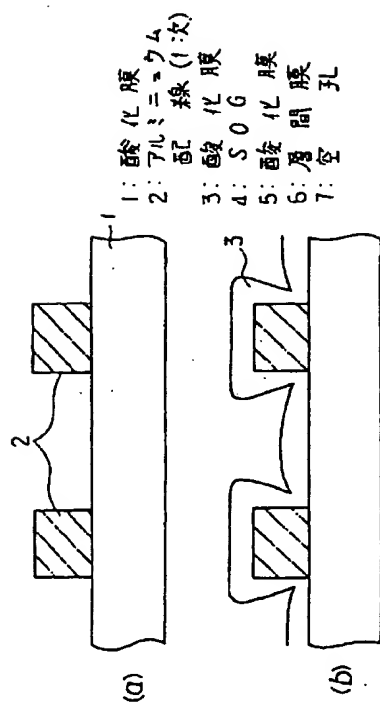
(8)

膜、(10)は酸素イオンを注入した酸化膜である。

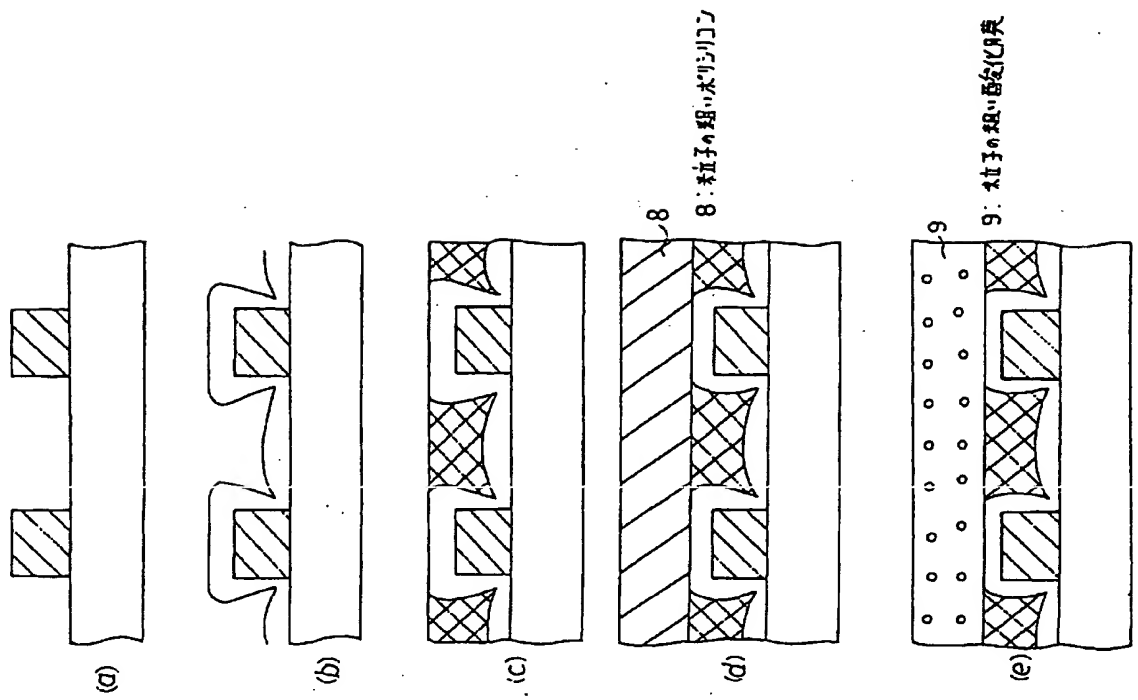
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増雄

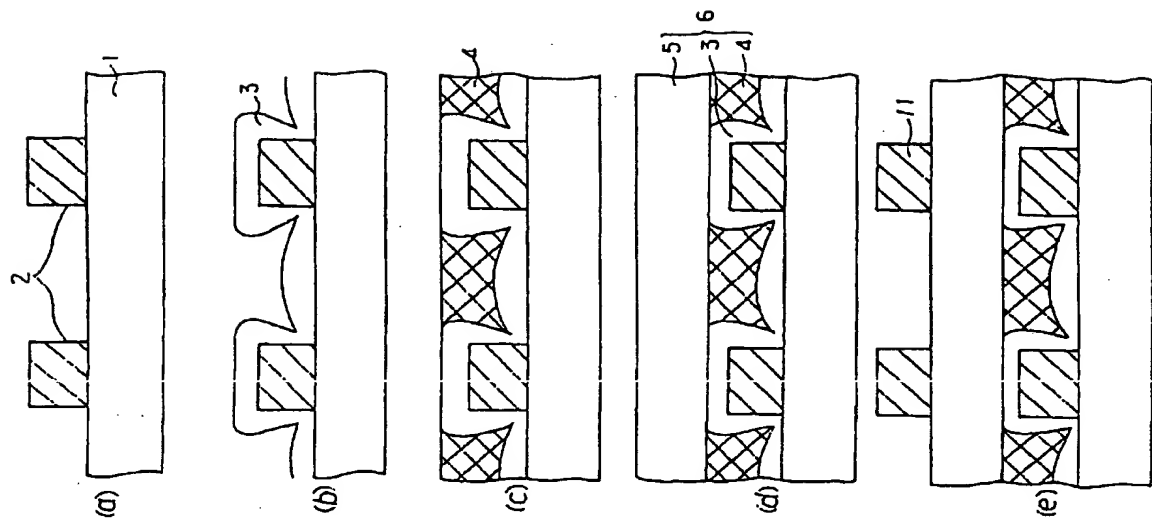
第1図



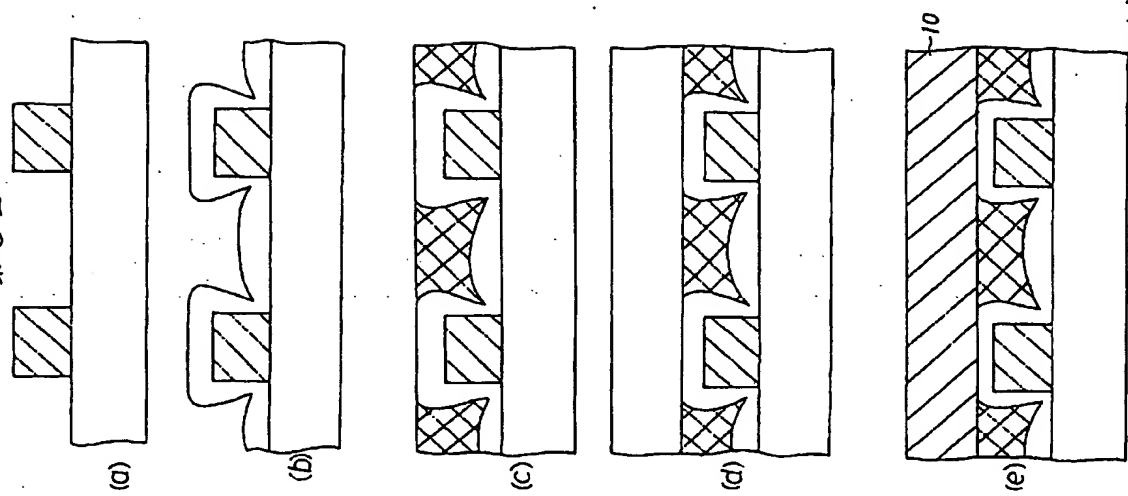
第2図



第 4 図



第 3 図



10: 両酸化タングステン注入した酸化膜

手続補正書(自発)

平成
昭和 2 年 11 月 19 日
適

特許庁長官殿

1. 事件の表示 平 特願 1-296820 号
2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の特許請求の欄、及び発明の詳細な説明の欄。

6. 補正の内容

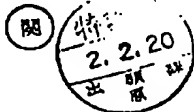
(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

(2) 明細書第1頁第17行の「トランス」を「トランジスタ」と訂正する。

(3) 明細書第7頁第1行の「 SiO_2 」を「 SiO_2 」と訂正する。

以 上

方 式 査 閲



(1)

(2)

特許請求の範囲

半導体ウエハの主面側に半導体装置を作成する際、配線間の層間膜の誘電率を下げるために層間膜に空孔を形成する工程と、層間膜をポリシリコンを堆積後酸化して形成する工程と、層間膜に酸素をイオン注入する工程のいずれかを含む半導体装置の製造方法。

(1)

配線層よりさらに」を挿入する。

(13) 同じく第8頁第19行の「Cも」と「低減され」との間に「さらに」を挿入する。

(12) 同じく第9頁第2行～第9頁第5行の「によれば、一注入する工程により、」を「の特許請求の範囲(1)によれば、第1の配線層と、第2の配線層と、第1の配線層および第2の配線層とを絶縁するために両配線層間に形成された層間膜が空洞を有する状にて形成されており、また、特許請求の範囲(2)によれば、第1の配線層上に第1の膜を堆積し、第1の膜に空洞を形成し、第1の膜を酸化し層間膜とし、層間膜上に第2の配線層を形成しており、また、特許請求の範囲(5)によれば、特許請求の範囲(2)において、層間膜に酸素イオンを注入することにより、」に訂正する。

(14) 同じく第10頁第1行の「酸素イオンを注入した酸化膜」を「酸素イオンが注入された粒子の包み酸化膜」に訂正する。

(15) 図面の第3図は別紙の通り訂正する。

7. 添付書類の目録

(1) 修正後の特許請求の範囲を記載した書面

1 通

(2) 訂正後の図面の第3図を記載した書面

1 通

以上

特許請求の範囲

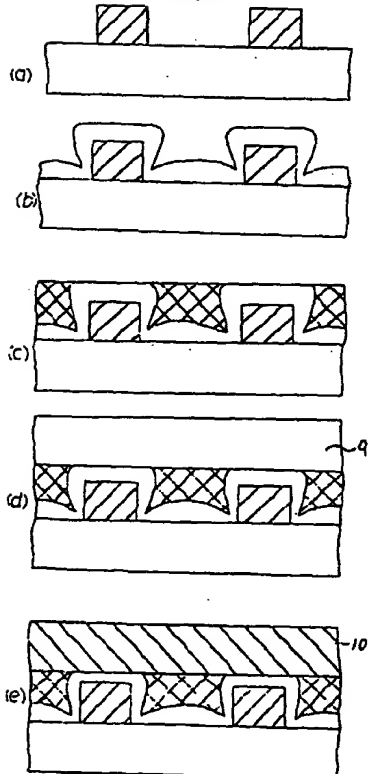
修正後の特許請求の範囲を記載した書面

(1) 第1の配線層と、第2の配線層と、上記第1の配線層および第2の配線層とを絶縁するために上記両配線層間に形成された層間膜とを有した半導体装置において、上記層間膜が空洞を有する状にて形成されていることを特徴とする半導体装置。

(2) 第1の配線層上に第1の膜を堆積する工程と、上記第1の膜に空洞を形成する工程と、上記第1の膜を酸化し層間膜とする工程と、上記層間膜上に第2の配線層を形成する工程とを有したことを特徴とする半導体装置の製造方法。

(3) 層間膜に酸素イオンを注入する工程を有したことを特徴とする特許請求の範囲(2)記載の半導体装置の製造方法。

第3図



10: 酸素イオンが注入された粒子の包み酸化膜